

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2003年 4月 3日

出 願 番 号  
Application Number:

特願2003-100612

[ ST.10/C ]:

[ JP 2003-100612 ]

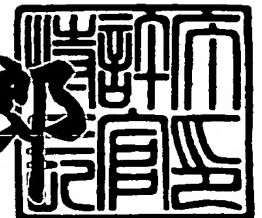
出 願 人  
Applicant(s):

株式会社東芝

2003年 4月25日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030265

【書類名】 特許願

【整理番号】 APB029107

【提出日】 平成15年 4月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/22  
H01L 21/26

【発明の名称】 半導体装置の製造方法

【請求項の数】 19

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

    【氏名】 伊藤 貴之

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

    【氏名】 須黒 恭一

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100083806

    【弁理士】

    【氏名又は名称】 三好 秀和

    【電話番号】 03-3504-3075

【選任した代理人】

    【識別番号】 100068342

    【弁理士】

    【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1  
【物件名】 要約書 1  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の上に、第 1 のゲート絶縁膜及び第 1 導電型不純物が添加された第 1 のゲート電極を含む第 1 の絶縁ゲート部及び第 2 のゲート絶縁膜及び第 2 のゲート電極を含む第 2 の絶縁ゲート部を互いに離間して形成する絶縁ゲート形成工程と、

前記第 1 の絶縁ゲート部に隣接する前記半導体基板の表面層及び前記第 1 のゲート電極に第 1 導電型不純物イオンを選択的に注入する工程と、

前記第 2 の絶縁ゲート部に隣接する前記表面層及び前記第 2 のゲート電極に第 2 導電型不純物イオンを選択的に注入する工程と、

前記注入する工程の後に、第 1 の基板温度で熱処理を施すプレアニール工程と

前記プレアニール工程の後に、前記第 1 の基板温度よりも高い第 2 の基板温度で、前記プレアニール工程よりも短い処理期間の熱処理を施す絶縁ゲート隣接部活性化工程

とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記絶縁ゲート形成工程は、

前記半導体基板の上に絶縁膜を形成する段階と、

前記絶縁膜の上に第 1 導電型不純物が添加された多結晶導電膜を形成する段階と、

前記絶縁膜及び前記多結晶導電膜を選択的に除去して、前記第 1 及び第 2 のゲート絶縁膜及び前記第 1 及び第 2 のゲート電極を形成する段階

とを有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記絶縁ゲート形成工程は、前記半導体基板の上に、前記第 1 のゲート絶縁膜及び前記第 1 のゲート電極に隣接する第 1 の側壁スペーサと、前記第 2 のゲート絶縁膜及び前記第 2 のゲート電極に隣接する第 2 の側壁スペーサとを形成する段階を更に有することを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 4】 前記絶縁膜の上に第 1 導電型不純物が添加された多結晶導電膜を形成する段階は、

前記絶縁膜の上に実質的に真性半導体からなる多結晶導電膜を成膜する過程と

前記多結晶導電膜のうち少なくとも前記第 1 のゲート電極が形成される領域に第 1 導電型不純物イオンを注入する過程と、

前記第 1 導電型不純物イオンを前記多結晶導電膜の内部に拡散させる過程とを有することを特徴とする請求項 2 記載の半導体装置の製造方法。

【請求項 5】 前記第 1 の絶縁ゲート部に隣接する前記半導体基板の表面層及び前記第 1 のゲート電極に第 1 導電型不純物イオンを選択的に注入する工程は

前記第 1 のゲート電極に隣接する前記表面層及び前記第 1 のゲート電極に第 1 導電型不純物イオンを選択的に注入する段階と、

前記第 1 の側壁スペーサに隣接する前記表面層及び前記第 1 のゲート電極に第 1 導電型不純物イオンを選択的に注入する段階

とを有することを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 6】 前記第 1 のゲート電極に隣接する前記表面層及び前記第 1 のゲート電極に第 1 導電型不純物イオンを選択的に注入する段階の後、前記第 1 の側壁スペーサに隣接する前記表面層及び前記第 1 のゲート電極に第 1 導電型不純物イオンを選択的に注入する段階の前に、前記絶縁ゲート隣接部活性化工程と同一条件で熱処理を施すゲート電極隣接部活性化工程を更に有することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】 前記第 2 の絶縁ゲート部に隣接する前記表面層及び前記第 2 のゲート電極に第 2 導電型不純物イオンを選択的に注入する工程は、

前記第 2 のゲート電極に隣接する前記表面層及び前記第 2 のゲート電極に第 2 導電型不純物イオンを選択的に注入する段階と、

前記第 2 の側壁スペーサに隣接する前記表面層及び前記第 2 のゲート電極に第 2 導電型不純物イオンを選択的に注入する段階

とを有することを特徴とする請求項 3 記載の半導体装置の製造方法。

【請求項 8】 前記第 2 のゲート電極に隣接する前記表面層及び前記第 2 のゲート電極に第 2 導電型不純物イオンを選択的に注入する段階の後、前記第 2 の側壁スペーサに隣接する前記表面層及び前記第 2 のゲート電極に第 2 導電型不純物イオンを選択的に注入する段階の前に、前記絶縁ゲート隣接部活性化工程と同一条件で熱処理を施すゲート電極隣接部活性化工程を更に有することを特徴とする請求項 7 記載の半導体装置の製造方法。

【請求項 9】 前記第 1 の基板温度  $T_1$  (°C) 及び前記プレアニール工程の処理期間  $t_{pa}$  (秒) は、  

$$5 \times 10^{-8} \exp [2.21 \times 10^4 / (T_1 + 275)] \leq t_{pa} \leq 6 \times 10^{-13} \exp [3.74 \times 10^4 / (T_1 + 275)]$$
を満たすことを特徴とする請求項 1 乃至 8 何れか 1 項記載の半導体装置の製造方法。

【請求項 10】 前記第 1 の基板温度は 600°C 以上 900°C 以下であることを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 11】 前記プレアニール工程の処理期間は 5 秒以上  $3.6 \times 10^3$  秒以下であることを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 12】 前記プレアニール工程及び前記第 1 導電型不純物イオンを前記多結晶導電膜の内部に拡散させる過程は、赤外線ランプ或いは抵抗加熱による電気炉若しくはホットプレートを用いて実施することを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 13】 前記絶縁ゲート隣接部活性化工程の処理期間は 100 ms 以下であることを特徴とする請求項 1 乃至 8 何れか 1 項記載の半導体装置の製造方法。

【請求項 14】 前記絶縁ゲート隣接部活性化工程において用いる光源が放出する光の前記半導体基板の表面における照射エネルギー面密度は  $100 \text{ J/cm}^2$  以下であることを特徴とする請求項 13 記載の半導体装置の製造方法。

【請求項 15】 前記光源は希ガスが封入されたフラッシュランプであることを特徴とする請求項 14 記載の半導体装置の製造方法。

【請求項 16】 前記光源はパルス状にレーザー光を発振するエキシマレーザー或いは YAG レーザであることを特徴とする請求項 14 記載の半導体装置の製造

方法。

【請求項 1 7】 前記絶縁ゲート隣接部活性化工程の前に、前記第 1 導電型不純物イオンを前記多結晶導電膜の内部に拡散させる過程と同程度以下の第 3 の基板温度で、熱処理を施す予備加熱工程を更に有し、

前記絶縁ゲート隣接部活性化工程は、前記予備加熱工程に引き続いて実施することを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 1 8】 前記第 3 の基板温度は 2 0 0 ℃以上 6 0 0 ℃以下であることを特徴とする請求項 1 7 記載の半導体装置の製造方法。

【請求項 1 9】 前記予備加熱工程は、赤外線ランプ或いはホットプレートを用いて実施することを特徴とする請求項 1 7 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に係り、特に不純物の拡散及び活性化工程に必要な熱処理に係る。

【0 0 0 2】

【従来の技術】

昨今の大規模集積回路（L S I）の性能向上は、集積度を高めること、即ち L S I を構成する素子の微細化により達成されている。しかし、素子の微細化に伴い、寄生抵抗やショートチャネル効果が発生しやすくなっている。したがって、寄生抵抗やショートチャネル効果を防止するため、浅く且つ低抵抗な不純物拡散領域（ソース／ドレイン領域）を形成することが重要となる。

【0 0 0 3】

不純物拡散領域の抵抗を下げるには、ハロゲンランプを用いたラピッド・サーマル・アニール（R T A）処理などの高温のアニール処理を用いて、不純物を十分に活性化させる必要である。

【0 0 0 4】

一方、不純物拡散領域を浅く形成するには、低加速エネルギーで不純物イオンを注入し、その後のアニール処理を最適化することにより実現される。例えば、



キセノン (Xe) フラッシュランプを用いたフラッシュランプアニール法では、Xe フラッシュランプが 10 msec 以下で白色光を発光することで不純物の活性化に必要なエネルギーを瞬時に供給する。したがって、低抵抗かつ浅い不純物拡散領域を形成することができる。即ち、フラッシュランプアニール法は、単結晶シリコンに注入された不純物イオンの分布を全く変化させずに活性化させることが可能である。なお、パルス発振可能なエキシマレーザを用いても同様にして、低抵抗かつ浅い不純物拡散領域を形成することができる（例えば、特許文献 1 参照。）。

【0005】

【特許文献 1】

特開 2002-246329 号公報（段落 [0013]～[0016]）

【0006】

【発明が解決しようとする課題】

しかし、ハロゲンランプを用いた RTA 処理では、ボロン (B)、リン (P) 及び砒素 (As) などの不純物は、単結晶シリコン (Si) 中での拡散係数が大きいこと、不純物が単結晶シリコンの内方及び外方へ拡散してしまい、浅い不純物拡散層を形成することが困難である。不純物の拡散を抑制するためにアニール温度を下げると、不純物の活性化率が大きく低下する。したがって、ハロゲンランプを用いた RTA 処理では、低抵抗かつ浅い不純物拡散領域を形成することが困難である。

【0007】

一方、フラッシュランプアニール法では、アニール時間が短すぎることで却ってわざわざして、不純物拡散領域に不純物イオンを注入する際に同時に多結晶ゲート電極内に注入された不純物イオンをも拡散させない。このために、多結晶ゲート電極に注入された不純物イオンが多結晶ゲート電極全体に拡散せず、多結晶ゲート電極の一部に、不純物濃度が低い高抵抗領域が形成されてしまう。このゲート電極の高抵抗化は、トランジスタの駆動力を低下させる。即ち、フラッシュランプアニール法では、低抵抗かつ浅い不純物拡散領域を形成できても、高性能かつ微細なトランジスタを形成することは不可能である。

## 【0008】

本発明はこのような従来技術の問題点を解決するために成されたものであり、その目的は、低抵抗且つ浅い不純物拡散領域を有し、良好な駆動力を備えた半導体装置の製造方法を提供することである。

## 【0009】

## 【課題を解決するための手段】

上記目的を達成するため、本発明の特徴は、（イ）半導体基板の上に、第1のゲート絶縁膜及び第1導電型不純物が添加された第1のゲート電極を含む第1の絶縁ゲート部及び第2のゲート絶縁膜及び第2のゲート電極を含む第2の絶縁ゲート部を互いに離間して形成する絶縁ゲート形成工程と、（ロ）第1の絶縁ゲート部に隣接する半導体基板の表面層及び第1のゲート電極に第1導電型不純物イオンを選択的に注入する工程と、（ハ）第2の絶縁ゲート部に隣接する半導体基板の表面層及び第2のゲート電極に第2導電型不純物イオンを選択的に注入する工程と、（ニ）これらの注入する工程の後に、第1の基板温度で熱処理を施すプレアニール工程と、（ホ）プレアニール工程の後に、第1の基板温度よりも高い第2の基板温度で、プレアニール工程よりも短い処理期間の熱処理を施す絶縁ゲート隣接部活性化工程とを有する半導体装置の製造方法であることを要旨とする。

## 【0010】

## 【発明の実施の形態】

以下図面を参照して、本発明の実施の形態及びその変形例に係る半導体装置の製造方法を説明する。図面の記載において同一あるいは類似の部分には同一あるいは類似な符号を付している。ただし、図面は模式的なものであり、層の厚みと幅との関係、各層の厚みの比率などは現実のものとは異なることに留意すべきである。また、図面の相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

## 【0011】

なお、「第1導電型」及び「第2導電型」は相対する導電型であり、第1導電型がn型であれば、第2導電型はp型であり、逆に、第1導電型がp型であれば

、第2導電型はn型である。発明の実施の形態では、第1導電型がn型であり、第2導電型はp型である場合について説明する。

#### 【0012】

##### <半導体装置>

先ず、本発明の実施の形態に係る半導体装置の製造方法により製造された半導体装置を説明する。図1に示すように、単結晶シリコンから成る半導体基板1の表面を含む上部に、pウェル18及びnウェル19が隣接して配置されている。半導体基板1の表面を含む上部のうちpウェル18及びnウェル19の外周部分には、素子分離領域2が埋め込まれている。

#### 【0013】

pウェル18の表面上には、絶縁ゲート部21aが配置されている。絶縁ゲート部21aは、pウェル18の表面上に配置されたゲート絶縁膜3aと、ゲート絶縁膜3aの上に配置されたゲート電極4aと、pウェル18の表面上にゲート絶縁膜3a及びゲート電極4aの側面に隣接して配置された側壁スペーサ17aとを有する。側壁スペーサ17aは、ゲート絶縁膜3a及びゲート電極4aの側面及びpウェル18の表面に沿って配置されたシリコン窒化( $\text{Si}_3\text{N}_4$ )膜7aと、シリコン窒化膜7aの上に配置されたシリコン酸化( $\text{SiO}_2$ )膜8aとを有する。ゲート電極4aに隣接するpウェル18の表面層にはエクステンション領域6aが配置されている。ゲート電極4aに離間するpウェル18の表面層にはソース/ドレイン領域10aが配置されている。

#### 【0014】

nウェル19の表面上には、絶縁ゲート部21bが配置されている。絶縁ゲート部21bは、nウェル19の表面上に配置されたゲート絶縁膜3bと、ゲート絶縁膜3bの上に配置されたゲート電極4bと、nウェル19の表面上にゲート絶縁膜3b及びゲート電極4bの側面に隣接して配置された側壁スペーサ17bとを有する。側壁スペーサ17bは、ゲート絶縁膜3b及びゲート電極4bの側面及びnウェル19の表面に沿って配置されたシリコン窒化膜7bと、シリコン窒化膜7bの上に配置されたシリコン酸化膜8bとを有する。ゲート電極4bに隣接するnウェル19の表面層にはエクステンション領域6bが配置されている。

。ゲート電極4bに離間するnウェル19の表面層にはソース／ドレイン領域10bが配置されている。

#### 【0015】

pウェル18、エクステンション領域6b及びソース／ドレイン領域10bは、それぞれ、単結晶シリコンからなる半導体基板1に対してp型不純物となるボロン(B)などのIII族原子が添加された領域である。nウェル19、エクステンション領域6a及びソース／ドレイン領域10aは、それぞれ、単結晶シリコンからなる半導体基板1に対してn型不純物となるリン(P)又は砒素(As)などのV族原子が添加された領域である。ゲート電極4aは、n型不純物が添加された多結晶シリコン(ポリシリコン)から成る。ゲート電極4bは、p型不純物が添加された多結晶シリコンから成る。素子分離領域2、ゲート絶縁膜3a、3b及び側壁スペーサ17a、17bは、シリコン酸化物、シリコン窒化物或いはシリコン酸窒化物などの絶縁物からなる。

#### 【0016】

pウェル18に対してゲート電極4aに印加する電圧を制御することで、ゲート電極4aの直下にソース／ドレイン領域10aを接続するn型の伝導層、即ちnチャネルが形成される。nウェル19に対してゲート電極4bに印加する電圧を制御することで、ゲート電極4bの直下にソース／ドレイン領域10bを接続するp型の伝導層、即ちpチャネルが形成される。このように、実施の形態に係る半導体装置は、nチャネルMOS型電界効果トランジスタ(nMOSトランジスタ)及びpチャネルMOS型電界効果トランジスタ(pMOSトランジスタ)からなるCMOS構造を有する。

#### 【0017】

### <半導体装置の製造方法>

次に、図1に示した半導体装置を製造する方法を図2乃至図4を参照して説明する。

#### 【0018】

(イ) 先ず、リソグラフィ法及びイオン注入法を用いてp型不純物イオン及びn型不純物イオンを選択的に半導体基板1の表面から注入する。その後、注入イ

オンを活性化するための熱処理を施すと、図 2 (a) に示すように、半導体基板 1 の表面を含む上部に p ウェル 1 8 及び n ウェル 1 9 が隣接して形成される。そして、リソグラフィ法及び反応性イオンエッチング (R I E) 法などの異方性エッチング法を用いて、p ウェル 1 8 及び n ウェル 1 9 の外周部分の半導体基板 1 の上部を選択的に除去して溝を形成する。化学的気相成長 (C V D) 法及び化学的機械的研磨 (C M P) 法を用いて、溝内部に絶縁物を選択的に埋め込み、素子分離領域 2 を形成する。そして、C V D 法を用いて半導体基板 1 の表面に例えば、絶縁膜 (シリコン酸化膜) 3 を一様に成膜する。

#### 【 0 0 1 9 】

(ロ) 次に、図 2 (b) に示すように、シリコン酸化膜 3 の上に n 型不純物が添加された多結晶導電膜 (多結晶シリコン膜) を形成する。具体的には、C V D 法を用いてシリコン酸化膜 3 の上に実質的に真性半導体からなる多結晶シリコン膜 4 を成膜する。イオン注入法を用いて多結晶シリコン膜 4 の全体に n 型不純物イオンを注入する。例えば、リンイオンを  $10^{19} \text{ cm}^{-3}$  以上の濃度となるよう注入する。その後、熱処理を行い、n 型不純物イオンを多結晶シリコン膜 4 の内部に拡散させる。例えば、 $900^{\circ}\text{C}$  で 10 分程度の熱処理を行い、リンイオンを多結晶シリコン膜 4 の全体に均一に拡散させる。n 型不純物イオンを多結晶シリコン膜 4 の内部に拡散させる過程は、ハロゲンランプなどの赤外線ランプ或いは抵抗加熱による電気炉若しくはホットプレートを用いて実施することができる。

#### 【 0 0 2 0 】

(ハ) 次に、フォトリソグラフィ法及び R I E 法を用いて、シリコン酸化膜 3 及び多結晶シリコン膜 4 を選択的に除去して、図 2 (c) に示すように、ゲート絶縁膜 3 a、3 b 及びゲート電極 4 a、4 b を形成する。その後、リソグラフィ法及びイオン注入法を用いて、p ウェル 1 8 の表面を含む上部に n 型不純物イオンを選択的に注入する。例えば、砒素 (A s) イオンを加速エネルギー  $1 \text{ keV}$ 、ドーズ量  $1 \times 10^{15} \text{ cm}^{-2}$  で注入する。この時、ゲート電極 4 a はイオン注入マスクとなり、ゲート電極 4 a が形成されていない p ウェル 1 8 の表面層に第 1 の不純物領域 5 a が形成される。同様にして、n ウェル 1 9 の表面を含む上部に p 型不純物イオンを選択的に注入する。例えば、ボロン (B) イオンを加速エネ

ルギー  $0.2 \text{ keV}$ 、ドーズ量  $1 \times 10^{15} \text{ cm}^{-2}$  で注入する。この時、ゲート電極 4 b はイオン注入マスクとなり、ゲート電極 4 b が形成されていない n ウェル 19 の表面層に第 1 の不純物領域 5 b が形成される。

#### 【0021】

(二) 次に、半導体基板 1 の表面の温度を  $400^\circ\text{C}$  程度に加熱した状態で、キセノン (Xe) フラッシュランプの光を基板全面に照射する。この熱処理を「ゲート電極隣接部活性化工程」と呼ぶ。照射時間 (処理期間) は  $1 \text{ ms}$  であり、半導体基板 1 の表面における照射エネルギー面密度は  $35 \text{ J/cm}^2$  とする。ゲート電極隣接部活性化工程により、図 2 (c) に示した第 1 の不純物領域 5 a、5 b に注入された不純物元素が活性化されるとともに、第 1 の不純物領域 5 a、5 b の結晶欠陥が回復する。即ち、第 1 の不純物領域 5 a、5 b は、図 3 (a) に示すように、ゲート電極 4 a、4 b に隣接する浅いエクステンション領域 6 a、6 b と成る。

#### 【0022】

(ホ) 次に、CVD 法を用いて、シリコン窒化 ( $\text{Si}_3\text{N}_4$ ) 膜及びシリコン酸化 ( $\text{SiO}_2$ ) 膜を順次堆積する。RIE 法を用いてシリコン窒化膜及びシリコン酸化膜を除去し、半導体基板 1 の表面及びゲート電極 4 a、4 b の上面が表出した時点でシリコン窒化膜及びシリコン酸化膜の除去を停止する。図 3 (b) に示すように、ゲート電極 4 a、4 b 及びゲート絶縁膜 3 a、3 b の側面に隣接して、シリコン窒化膜 7 a、7 b 及びシリコン酸化膜 8 a、8 b が選択的に残置され、多層構造の側壁スペーサ 17 a、17 b が形成される。

#### 【0023】

(ヘ) 次に、スピン塗布法などによりレジスト膜を形成する。図 4 (a) に示すように、フォトリソグラフィ法を用いて p ウェル 18 が形成されている領域に開口を有するレジストパターン 15 a を形成する。レジストパターン 15 a をイオン注入マスクとして p ウェル 18 に選択的に n 型不純物イオンを注入する。例えば、リンイオンを加速エネルギー  $15 \text{ keV}$ 、ドーズ量  $3 \times 10^{15} \text{ cm}^{-2}$  で注入する。この時、n 型不純物イオンは、ゲート電極 4 a にも注入される。また、絶縁ゲート部 21 a はイオン注入マスクとなり、絶縁ゲート部 21 a が形成され

ていないpウェル18の表面層に第2の不純物領域9aが形成される。第2の不純物領域9aは、ゲート電極4aの端部から離間して、エクステンション領域6aよりも深く形成される。その後、レジストパターン15aを剥離する。

#### 【0024】

(ト) 次に、スピン塗布法などによりレジスト膜を形成する。図4(b)に示すように、フォトリソグラフィ法を用いてnウェル19が形成されている領域に開口を有するレジストパターン15bを形成する。レジストパターン15bをイオン注入マスクとしてnウェル19に選択的にp型不純物イオンを注入する。例えば、ボロンイオンを加速エネルギー5keV、ドーズ量 $3 \times 10^{15} \text{ cm}^{-2}$ で注入する。この時、p型不純物イオンは、ゲート電極4bにも注入され、ゲート電極4bの導電型はn型からp型へ反転する。また、絶縁ゲート部21bはイオン注入マスクとなり、絶縁ゲート部21bが形成されていないnウェル19の表面層に第2の不純物領域9bが形成される。第2の不純物領域9bは、ゲート電極4bの端部から離間して、エクステンション領域6bよりも深く形成される。その後、レジストパターン15bを剥離する。

#### 【0025】

(チ) 次に、ゲート電極4a、4bに注入されたn型及びp型不純物イオンを拡散させるとともにpウェル18及びnウェル19の表面層に注入されたn型及びp型不純物イオンの拡散を抑制する「第1の基板温度」で熱処理を施す。以後、この熱処理を「プレアニール工程」と呼ぶ。プレアニール工程は、例えば、ハロゲンランプなどの赤外線ランプ或いは抵抗加熱による電気炉若しくはホットプレートを用いたRTA処理である。プレアニール工程の処理条件は、例えば、第1の基板温度が850℃、処理期間が30秒である。プレアニール工程の詳細な処理条件は、図5及び図6を参照して後述する。

#### 【0026】

(リ) 次に、プレアニール工程の後、図2(b)に示したn型不純物イオンを多結晶シリコン膜4の内部に拡散させる熱処理と同程度以下の「第3の基板温度」で熱処理を施す。以後、この熱処理を「予備加熱工程」と呼ぶ。予備加熱工程は、赤外線ランプ或いはホットプレートを用いて実施することができる。第3の

基板温度は、例えば、400℃程度である。予備加熱工程の詳細な処理条件は、図7を参照して後述する。

#### 【0027】

(ヌ) 最後に、pウェル18及びnウェル19の表面層に注入されたn型及びp型不純物イオンを活性化する、第1の基板温度よりも高い「第2の基板温度」で、プレアニール工程よりも短い処理期間の熱処理を施す。以後、この熱処理を「絶縁ゲート隣接部活性化工程」と呼ぶ。例えば、予備加熱工程に引き続いて、半導体基板1の表面の温度を400℃程度の温度に加熱した状態で、キセノン(Xe)フラッシュランプの光を基板全面に照射する。光を照射する時間(処理期間)は1msとし、半導体基板1の表面における照射エネルギー面密度は $35\text{ J/cm}^2$ とする。即ち、絶縁ゲート隣接部活性化工程を、ゲート電極隣接部活性化工程と同様な処理条件にて実施する。ゲート電極隣接部活性化工程及び絶縁ゲート隣接部活性化工程の詳細な処理条件は、図7を参照して後述する。絶縁ゲート隣接部活性化工程により、図1に示したように、pウェル18及びnウェル19の表面層に注入されたn型及びp型不純物元素が活性化されるとともに、第2の不純物領域9a、9bの結晶欠陥が回復する。結果的に、ゲート電極4a、4bの端部から離間したpウェル18及びnウェル19の表面層にエクステンション領域6a、6bよりも深いソース/ドレイン領域10a、10bがそれぞれ形成される。以上の工程を経て、図1に示したCMOS構造を有する半導体装置が完成する。

#### 【0028】

なお、図2(b)において、実質的に真性半導体からなる多結晶シリコン膜4を成膜してn型不純物イオンを注入する替わりに、CVD法を用いてn型不純物を含む雰囲気の下で多結晶シリコン膜4を成膜しても構わない。

#### 【0029】

図3(a)に示したキセノン(Xe)フラッシュランプを用いたゲート電極隣接部活性化工程の替わりに、ハロゲンランプを用いたRTA処理を行っても構わない。RTA処理のアニール条件は、基板温度が900℃以下、処理期間が10秒以下であることが望ましい。このRTA処理によっても、第1の不純物領域5



a、5 bに注入された不純物元素が半導体基板1の深くまで拡散されることなく、不純物元素が活性化されるとともに、第1の不純物領域5 a、5 bの結晶欠陥が回復し、エクステンション領域6 a、6 bを形成することができる。

#### 【0030】

ゲート電極4 a、4 bに注入されたn型及びp型不純物イオンには、図2 (c) に示した第1の不純物領域5 a、5 bを形成する時及び図4 (a) 及び図4 (b) に示した第2の不純物領域9 a、9 bを形成する時にゲート電極4 a、4 bに注入されたn型及びp型不純物イオンが含まれる。また、pウェル18及びnウェル19の表面層に注入されたn型及びp型不純物イオンには、第1の不純物領域5 a、5 b及び第2の不純物領域9 a、9 bに存在するn型及びp型不純物イオンが含まれる。

#### 【0031】

#### <プレアニール工程について>

プレアニール工程では、半導体基板1の表面の温度を第1の基板温度まで加熱して処理期間 $t_{pa}$ 保持する。図5において、横軸は半導体基板1を加熱し始めてからの経過時間を示し、縦軸は半導体基板1の表面の温度（基板温度）を示す。基板温度は、半導体基板1の裏面の温度を実測してその測定値を換算して測定される。また、処理期間 $t_{pa}$ は、基板温度を第1の基板温度に保持している期間を示す。図5に示した例において、第1の基板温度は850℃である。

#### 【0032】

図6に示すように、プレアニール工程における第1の基板温度 $T_1$  (℃) と処理期間 $t_{pa}$  (秒) は、第1の境界線31と第2の境界線32に挟まれた領域により定義される処理条件を満たすことが望ましい。第1の境界線31よりも第1の温度 $T_1$ が低い場合或いは処理期間 $t_{pa}$ が短い場合、ゲート電極4 a、4 bの全体にn型及びp型不純物元素が十分に拡散されずにゲート電極4 a、4 bの高抵抗化が生じる。一方、第2の境界線32よりも第1の温度 $T_1$ が高い場合或いは処理期間 $t_{pa}$ が長い場合、pウェル18及びnウェル19にn型及びp型不純物元素が拡散してしまい、エクステンション領域6 a、6 bが20 nmよりも深く形成されてしまう。

## 【0033】

第1の境界線31は(1)式により表され、第2の境界線32は(2)式により表される。したがって、プレアニール工程における第1の基板温度 $T_1$  (°C)と処理期間 $t_{pa}$  (秒)は(3)式に示す処理条件を満たすことで、エクステンション領域6a、6bのpn接合深さを20nm以下に維持することができる。

## 【0034】

$$t_{pa} = 5 \times 10^{-8} \exp[2.21 \times 10^4 / (T_1 + 275)] \quad \dots (1)$$

$$t_{pa} = 6 \times 10^{-13} \exp[3.74 \times 10^4 / (T_1 + 275)] \quad \dots (2)$$

$$5 \times 10^{-8} \exp[2.21 \times 10^4 / (T_1 + 275)] \leq t_{pa} \leq 6 \times 10^{-13} \exp[3.74 \times 10^4 / (T_1 + 275)] \quad \dots (3)$$

図6及び(3)式に示した処理条件において、さらに第1の基板温度 $T_1$ は600°C以上900°C以下であることが望ましく、より好ましくは800°C以上900°C以下である。また、プレアニール工程の処理期間は5秒以上1時間( $3.6 \times 10^3$ 秒)以下であることが望ましい。

## 【0035】

<予備加熱工程及び絶縁ゲート隣接部活性化工程について>

予備加熱工程は、半導体基板1の表面の温度を第3の基板温度まで加熱して一定期間(予備加熱期間)、保持するアニール工程である。第3の基板温度は200°C以上600°C以下であることが望ましく、より好ましくは300°C以上500°C以下である。図7に示した例では、第3の基板温度が400°Cであり、予備加熱期間が30秒である。

## 【0036】

絶縁ゲート隣接部活性化工程は、予備加熱工程に引き続いて実施する。即ち、半導体基板1の表面の温度を第3の基板温度に保持した状態において絶縁ゲート隣接部活性化工程を実施する。絶縁ゲート隣接部活性化工程においては、Xeフラッシュランプの他に、Xe以外の希ガスが封入されたフラッシュランプ又はパルス状にレーザ光を発振するエキシマレーザ或いはYAGレーザなどを含む光源を用いることができる。絶縁ゲート隣接部活性化工程の処理期間、即ちこれらの光源が放出する光を基板全面に照射する期間(フラッシュランプ点灯期間)は1

0 0 m s 以下であることが望ましい。より好ましくは 1 0 m s 以下、更には 1 m s 以下である。図 7 に示した例では、フラッシュランプ点灯期間は 1 m s である。また、光源が放出する光の半導体基板 1 の表面における照射エネルギー面密度は  $1 0 0 \text{ J} / \text{cm}^2$  以下であることが望ましく、より好ましくは  $6 0 \text{ J} / \text{cm}^2$  以下である。なお、ゲート電極隣接部活性化工程についても同様な処理条件であることが望ましい。

## 【 0 0 3 7 】

## (第 1 の比較例)

実施の形態の第 1 の比較例に係る半導体装置の製造方法は、図 2 (b) において、イオン注入法を用いて多結晶シリコン膜 4 の全体にリンイオンを  $1 0^{19} \text{ cm}^{-3}$  以上の濃度となるよう注入する過程と、その後のリンイオンを多結晶シリコン膜 4 の内部に拡散させる熱処理過程とを省略し、CVD法を用いてシリコン酸化膜 3 の上に実質的に真性半導体からなる多結晶シリコン膜 4 を成膜する過程のみを実施する。さらに、第 1 の比較例に係る半導体装置の製造方法は、プレアニール工程においてハロゲンランプを用いた基板温度 8 5 0 °C、処理期間 3 0 秒程度の R T A 処理を行わず、絶縁ゲート隣接部活性化工程においてキセノンフラッシュランプを用いたアニールのみを行う。その他の製造工程について、実施の形態と第 1 の比較例は同一である。

## 【 0 0 3 8 】

ゲート電極 4 a、4 b 及びエクステンション領域 6 a、6 b の不純物濃度分布及び MOS トランジスタのゲート容量について、図 1 に示した半導体装置と、第 1 の比較例に係る半導体装置の製造方法により製造された半導体装置とを比較する。なお同時に、プレアニール工程及び絶縁ゲート隣接部活性化工程の代わりに、基板温度が 1 0 1 5 °C、処理期間が 1 0 秒のハロゲンランプを用いた R T A 処理を実施した従来例 (R T A) とも比較する。

## 【 0 0 3 9 】

図 8 (a) 及び図 8 (b) に示すように、2 次イオン質量分析法 (S I M S) を用いて、ポリシリコンからなるゲート電極 4 a、4 b 中の不純物濃度分布を調べた。図 8 (a) の縦軸は n M O S トランジスタのゲート電極 4 a 中のリン (P

）濃度を示し、図8（b）の縦軸はpMOSトランジスタのゲート電極4b中のボロン（B）濃度を示す。図8（a）及び図8（b）の横軸はゲート電極4a、4bの深さを示す。図8（a）及び図8（b）に示すように、実施の形態及びRTAではゲート電極4a、4bの全体で不純物（P、B）濃度がほぼ一定であるが、第1の比較例ではゲート電極4a、4bの途中から不純物濃度が低下している。即ち、実施の形態及びRTAではゲート電極4a、4b全体に一様に不純物が拡散されているが、第1の比較例ではゲート電極4a、4b内で不純物濃度に差が生じ、ゲート底の不純物濃度は低く、不純物濃度の低いドーピング層が形成されていることが分る。

## 【0040】

図9（a）及び図9（b）に示すように、ゲート電極4a、4b－ゲート絶縁膜3a、3b－ウェル18、19から成るMOSトランジスタのゲート容量（C）とゲート電圧（V）との関係を調べた。図9（a）及び図9（b）の縦軸はゲート容量を示し、縦軸はゲート電圧を示す。

## 【0041】

図9（a）に示すように、実施の形態及びRTAに係るnMOSトランジスタは、C－V特性がほぼ一致しており、ゲート電圧が1.5Vの時、約 $1.15 \mu\text{F}/\text{cm}^2$ のゲート容量を有する。第1の比較例では、ゲート電圧が1.5Vの時、約 $0.13 \mu\text{F}/\text{cm}^2$ のゲート容量を有し、実施の形態及びRTAに比べて低い。図9（b）に示すように、実施の形態及びRTAに係るpMOSトランジスタは、C－V特性がほぼ一致しており、ゲート電圧が－1.5Vの時、約 $1.0 \mu\text{F}/\text{cm}^2$ のゲート容量を有する。第1の比較例では、ゲート電圧が－1.5Vの時、約 $0.2 \mu\text{F}/\text{cm}^2$ のゲート容量を有し、実施の形態及びRTAに比べて低い。

## 【0042】

このように、第1の比較例ではゲート容量が低下しており、ゲート電極4a、4b下のゲート絶縁膜が見かけ上、厚く形成されていることが分る。これは、キセノンフラッシュランプを用いてゲート電極4a、4b中に注入された不純物（P、B）を活性化させた際、ゲート電極4a、4bが高温にさらされる時間があ

まりにも短いことがむしろわざわざいし、不純物（P、B）がゲート深くまで拡散されずに、ゲート底に濃度の不十分なドーピング層が形成されてしまったためである。ゲート容量値から計算した第1の比較例の不十分なドーピング層は、厚さ150nmのゲート電極4a、4bに対して20nm以上にも及んでいることが分った。

#### 【0043】

このようなゲート電極4a、4bの空乏化は、トランジスタの駆動力を低下させるだけでなく、トランジスタとして機能をも損なうおそれがある。しかしながら、ゲート電極4a、4bの空乏化を抑制するために、ゲート電極4a、4b内に注入する不純物の加速エネルギーを上げると、半導体基板1にも深く注入され、エクステンション領域6a、6b或いはソース／ドレイン領域10a、10bが深く形成される。さらに、半導体基板1の表面に平行な方向への不純物拡散も進行してショートチャネル効果を誘発する。また、ゲート電極4a、4bを通過して、ゲート絶縁膜3a、3b内、あるいはその下の半導体基板1の表面領域にまで不純物が拡散し、トランジスタの閾値電圧を変動させる。

#### 【0044】

図10(a)及び図10(b)に示すように、SIMSを用いて、nMOSトランジスタ及びpMOSトランジスタのエクステンション領域6a、6b中の不純物濃度分布を調べた。図10(a)の縦軸はnMOSトランジスタのエクステンション領域6a中の砒素(As)濃度を示し、図10(b)の縦軸はpMOSトランジスタのエクステンション領域6b中のボロン(B)濃度を示す。図10(a)及び図10(b)の横軸はエクステンション領域6a、6bの深さを示す。図10(a)及び図10(b)に示すように、実施の形態及び第1の比較例ではエクステンション領域6a、6bの表面(深さ0nm)から急激に不純物(As、B)濃度が低下して、約20nmより深い領域で不純物(As、B)は検出されない。しかし、図10(a)に示すように、RTAではエクステンション領域6aの表面から約20nmの深さまで $10^{20} \text{ cm}^{-3}$ 程度の砒素が検出され、約40nmの深さまで砒素が検出され続けている。また、図10(b)に示すように、RTAでは50nm以上の深さまでボロンが検出され続けている。

## 【0045】

このように、従来のRTA処理では、多結晶シリコンから成るゲート電極4a、4bに注入された不純物のみならず、単結晶シリコンから成る半導体基板1に注入された不純物までも拡散してしまう為、例えば20nm以下の浅いエクステンション領域6a、6bを形成することが出来ない。

## 【0046】

## (第2の比較例)

実施の形態の第2の比較例に係る半導体装置の製造方法は、図2(b)において、イオン注入法を用いて多結晶シリコン膜4の全体にリンイオンを $10^{19}\text{cm}^{-3}$ 以上の濃度となるよう注入する過程と、その後のリンイオンを多結晶シリコン膜4の内部に拡散させる熱処理過程とを省略し、CVD法を用いてシリコン酸化膜3の上に実質的に真性半導体からなる多結晶シリコン膜4を成膜する過程のみを実施する。その他の製造工程について、実施の形態と第2の比較例は同一である。

## 【0047】

ゲート電極4a、4bの不純物濃度分布及びMOSトランジスタのゲート容量について、図1に示した半導体装置と、第2の比較例に係る半導体装置の製造方法により製造された半導体装置とを比較する。

## 【0048】

図11(a)及び図11(b)に示すように、SIMSを用いて、ポリシリコンからなるゲート電極4a、4b中の不純物濃度分布を調べた。図11(a)の縦軸はnMOSトランジスタのゲート電極4a中のリン(P)濃度を示し、図11(b)の縦軸はpMOSトランジスタのゲート電極4b中のボロン(B)濃度を示す。図11(a)及び図11(b)の横軸はゲート電極4a、4bの深さを示す。図11(a)及び図11(b)に示すように、実施の形態ではゲート電極4a、4bの全体で不純物(P、B)濃度がほぼ一定である。また、図11(b)に示すように、第2の比較例でもpMOSトランジスタのゲート電極4bの全体でボロン(B)濃度がほぼ一定である。しかし、図11(a)に示すように、第2の比較例ではnMOSトランジスタのゲート電極4aの途中からリン(P)

濃度が低下している。

【0049】

即ち、第2の比較例において、pMOSトランジスタではゲート電極4b全体に様にボロン(B)が拡散されているが、nMOSトランジスタではゲート電極4a内でリン(P)濃度に差が生じ、ゲート底の不純物濃度は低く、濃度の不十分なドーピング層が形成されていることが分る。

【0050】

図12(a)及び図12(b)に示すように、ゲート電極4a、4b-ゲート絶縁膜3a、3b-ウェル18、19から成るMOSキャパシタのゲート容量(C)とゲート電圧(V)との関係を調べた。図12(a)及び図12(b)の縦軸はゲート容量を示し、縦軸はゲート電圧を示す。

【0051】

図12(b)に示すように、実施の形態及び第2の比較例に係るpMOSトランジスタは、C-V特性がほぼ一致しており、ゲート電圧が-1.5Vの時、約 $1.0 \mu\text{F}/\text{cm}^2$ のゲート容量を有する。図12(a)に示すように、実施の形態に係るnMOSトランジスタは、ゲート電圧が1.5Vの時、約 $1.15 \mu\text{F}/\text{cm}^2$ のゲート容量を有する。しかし、第2の比較例では、ゲート電圧が1.5Vの時、約 $0.85 \mu\text{F}/\text{cm}^2$ のゲート容量を有し、実施の形態に比べて低い。

【0052】

このように、第2の比較例において、pMOSトランジスタのゲート電極4b全体にボロン(B)が拡散されているため、実施の形態と第2の比較例では、pMOSトランジスタのゲート容量はほぼ一致している。しかし、nMOSトランジスタのゲート電極4aには濃度の不十分なドーピング層が形成されているため、第2の比較例のnMOSトランジスタは、実施の形態に比してゲート容量が低下している。即ち、ゲート電極4a下のゲート絶縁膜3aが見かけ上、厚く形成されていることが分る。

【0053】

このような第2の比較例におけるnMOSトランジスタとpMOSトランジスタ

タとの差異は、主に n 型不純物と p 型不純物とのゲート電極 4 a、4 b 中での拡散し易さの違いに起因する。即ち、n 型不純物と p 型不純物とではポリシリコン内に拡散する時の熱処理条件が異なり、nMOS トランジスタの方が pMOS トランジスタに比べてプロセスウィンドウが狭い。プロセスウィンドウの狭い nMOS トランジスタのゲート電極 4 a に添加される n 型不純物を、pMOS トランジスタの p 型不純物よりも先行して、図 2 (b) に示したように形状加工する前の多結晶シリコン膜 4 にドーピングして十分に拡散処理を行う。このため、プレアニール工程の処理条件を従来の RTA 処理 (1015℃、10 秒) よりも軽くする、即ち、低温かつ短時間にすることが可能となる。したがって、不純物濃度が  $10^{18} \text{ cm}^{-3}$  程度となるエクステンション領域 6 a、6 b の深さは 20 nm 以下に抑えられ、同時にエクステンション領域 6 a、6 b の抵抗を低減することもでき、歩留まりの低下を抑えた安定したプロセスが期待できる。

#### 【0054】

以上説明したように、本発明の実施の形態に係る半導体装置の製造方法は、多結晶及び単結晶のシリコンにそれぞれ注入された不純物イオンを活性化させる際に、熱処理温度及び時間の異なる複数の熱処理工程を具備する。即ち、低温かつ長時間のアニールを行い、多結晶シリコン中の不純物イオンのみを選択的に拡散させる。そして、最終的に高温かつ極短時間の高輝度光照射、例えばフラッシュランプ光によって、注入された全ての不純物イオンを高濃度に活性化させる。単結晶シリコンに注入された不純物イオンの拡散を抑制すると同時に、多結晶シリコンから成るゲート電極の空乏化を防ぐことができる。したがって、低抵抗かつ浅いエクステンション領域 6 a、6 b を形成できると同時に、ゲート電極 4 a、4 b 内の不純物領域を十分に拡散させることができる。不純物のプロファイルを精度良く制御することが可能になり、微細化に対応した浅い接合を有する高性能な MOS トランジスタを安定かつ容易に製造することができる。

#### 【0055】

(実施の形態の変形例)

実施の形態では、図 2 (b) に示したように、多結晶シリコン膜 4 の全体に n 型不純物イオンを注入する場合を示したが、本発明は、これに限定されるもので



はない。多結晶シリコン膜 4 のうち少なくともゲート電極 4 a が形成される領域に第 1 導電型不純物イオンを注入することが望ましい。

【 0 0 5 6 】

図 1 3 に示すように、実施の形態の変形例においては、実質的に真性半導体から成る多結晶シリコン膜 4 を成膜した後、スピン塗布法などによりレジスト膜を成膜する。フォトリソグラフィ法を用いてレジスト膜を選択的に除去して、p ウェル 1 8 が形成されている領域に開口を有するレジストパターン 2 0 を形成する。レジストパターン 2 0 をイオン注入マスクとして p ウェル 1 8 上の多結晶シリコン膜 4 に選択的に n 型不純物イオンを注入する。この時のイオン注入条件は実施の形態と同じである。また、その他の製造工程について、実施の形態と変形例は同一である。

【 0 0 5 7 】

実施の形態の変形例によっても、ゲート電極 4 a、4 b の空乏化を抑え、同時に、エクステンション領域 6 a、6 b 及びソース／ドレイン領域 1 0 a、1 0 b を浅く形成することができる。また、半導体基板 1 の表面に平行な方向への不純物拡散を防止してショートチャネル効果を抑制することができる。

【 0 0 5 8 】

なお、多結晶シリコン膜を形状加工する前に、n 型不純物イオンを p ウェル 1 8 上の多結晶シリコン膜 4 に選択的に注入するのみならず、p 型不純物イオンも n ウェル 1 9 上の多結晶シリコン膜 4 に選択的に注入することも考えられる。しかし、この場合、n 型の多結晶シリコン膜 4 と p 型の多結晶シリコン膜 4 とでは R I E のエッチングレートが異なるために、ゲート電極 4 a、4 b の加工精度が悪くなる。したがって、安定したプロセスが得られず、トランジスタの駆動力を低下させてしまう。

【 0 0 5 9 】

一方、変形例の場合、図 2 ( c ) に示すゲート電極 4 a、4 b を加工する際に、n 型の多結晶シリコン膜 ( n 型ドーピング領域 ) 4 と真性半導体からなる多結晶シリコン膜 ( アンダーピング領域 ) 4 を同時にエッチングすることになる。n 型ドーピング領域とアンダーピング領域とではエッチングレートがほとんど等し

いために、加工精度の良いゲート電極 4 a、4 b を形成することができる。また、n ウェル 1 9 上の多結晶シリコン膜 4 には n 型不純物イオンが注入されていないため、図 4 (b) に示すイオン注入工程においてゲート電極 4 b の導電型を p 型へ反転させるための余分なイオン注入を避けることができる。したがって、ゲート電極 4 b の抵抗を上昇させることなく、p 型不純物のイオン注入量を抑えることができ、プロセスの安定化へと繋げることが可能となる。

#### 【0060】

上記のように、本発明は、1 つの実施の形態及びその変形例によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。即ち、本発明はここでは記載していない様々な実施の形態等を包含するということを理解すべきである。したがって、本発明はこの開示から妥当な特許請求の範囲に係る発明特定事項によってのみ限定されるものである。

#### 【0061】

##### 【発明の効果】

以上説明したように、本発明によれば、低抵抗且つ浅い不純物拡散領域を有し、良好な駆動力を備えた半導体装置の製造方法を提供することができる。

##### 【図面の簡単な説明】

##### 【図 1】

本発明の実施の形態に係る半導体装置の製造方法により製造された半導体装置の一例を示す断面図である。

##### 【図 2】

図 2 (a) 乃至図 2 (c) は、本発明の実施の形態に係る半導体装置の製造方法における主要な製造工程を示す断面図である (その 1)。

##### 【図 3】

図 3 (a) 及び図 3 (b) は、本発明の実施の形態に係る半導体装置の製造方法における主要な製造工程を示す断面図である (その 2)。

##### 【図 4】

図 4 ( a ) 及び図 4 ( b ) は、本発明の実施の形態に係る半導体装置の製造方法における主要な製造工程を示す断面図である ( その 3 ) 。

【図 5】

プレアニール工程における基板温度と経過時間との関係を示すグラフである。

【図 6】

プレアニール工程における第 1 の基板温度と処理期間との関係を示すグラフである。

【図 7】

予備加熱工程及び絶縁ゲート隣接部活性化工程における基板温度と経過時間との関係を示すグラフである。

【図 8】

図 8 ( a ) は、第 1 の比較例に係る n M O S トランジスタのゲート電極の不純物濃度分布を示すグラフであり、図 8 ( b ) は、第 1 の比較例に係る p M O S トランジスタのゲート電極の不純物濃度分布を示すグラフである。

【図 9】

図 9 ( a ) は、第 1 の比較例に係る n M O S トランジスタのゲート容量とゲート電圧の関係を示すグラフであり、図 9 ( b ) は、第 1 の比較例に係る p M O S トランジスタのゲート容量とゲート電圧の関係を示すグラフである。

【図 1 0】

図 1 0 ( a ) は、第 1 の比較例に係る n M O S トランジスタのエクステンション領域の不純物濃度分布を示すグラフであり、図 1 0 ( b ) は、第 1 の比較例に係る p M O S トランジスタのエクステンション領域の不純物濃度分布を示すグラフである。

【図 1 1】

図 1 1 ( a ) は、第 2 の比較例に係る n M O S トランジスタのゲート電極の不純物濃度分布を示すグラフであり、図 1 1 ( b ) は、第 2 の比較例に係る p M O S トランジスタのゲート電極の不純物濃度分布を示すグラフである。

【図 1 2】

図 1 2 ( a ) は、第 2 の比較例に係る n M O S トランジスタのゲート容量とゲ

ート電圧の関係を示すグラフであり、図 1 2 ( b ) は、第 2 の比較例に係る p M  
O S トランジスタのゲート容量とゲート電圧の関係を示すグラフである。

【図 1 3】

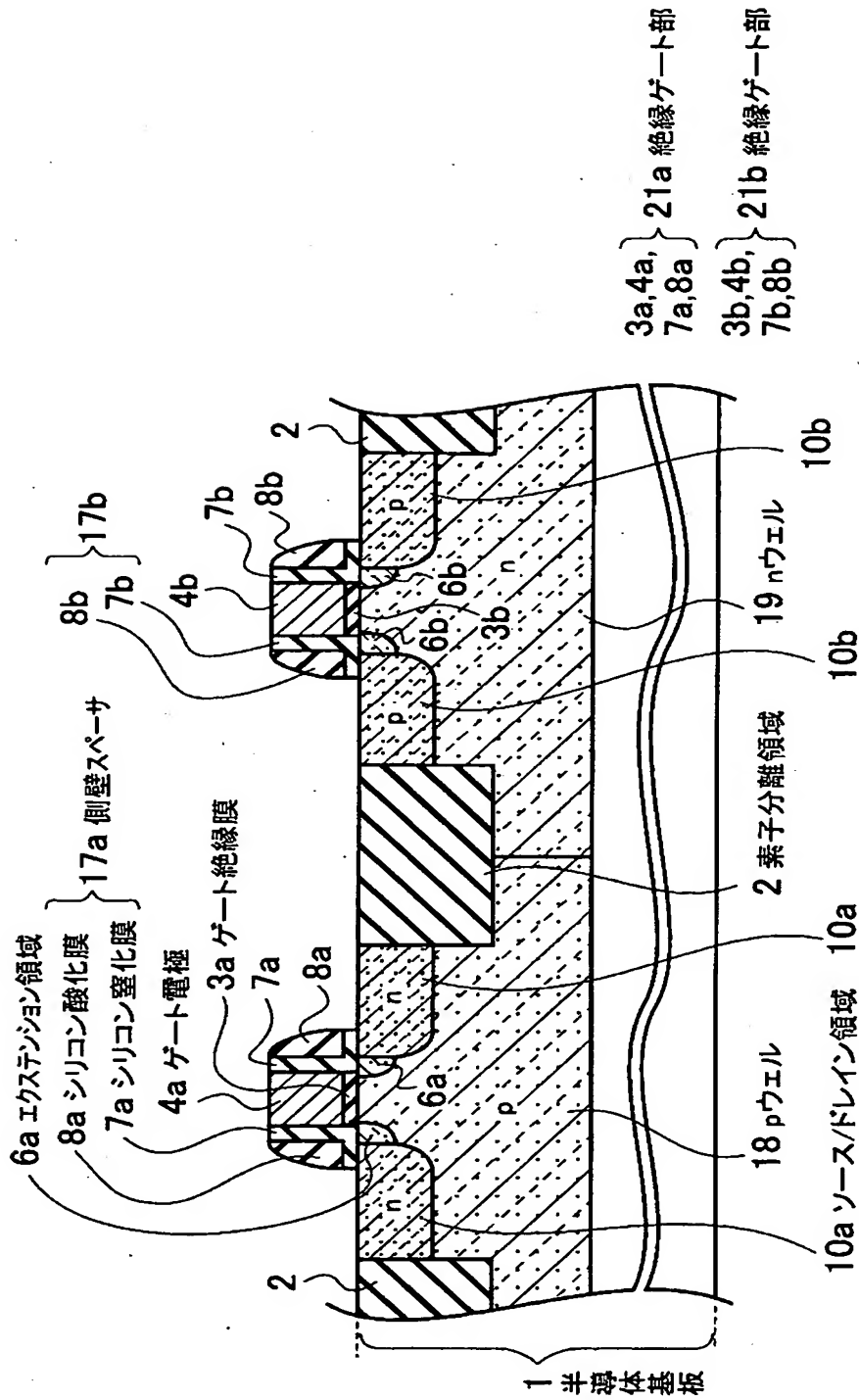
本発明の実施の形態の変形例に係る半導体装置の製造方法における主要な製造  
工程の一部を示す断面図である。

【符号の説明】

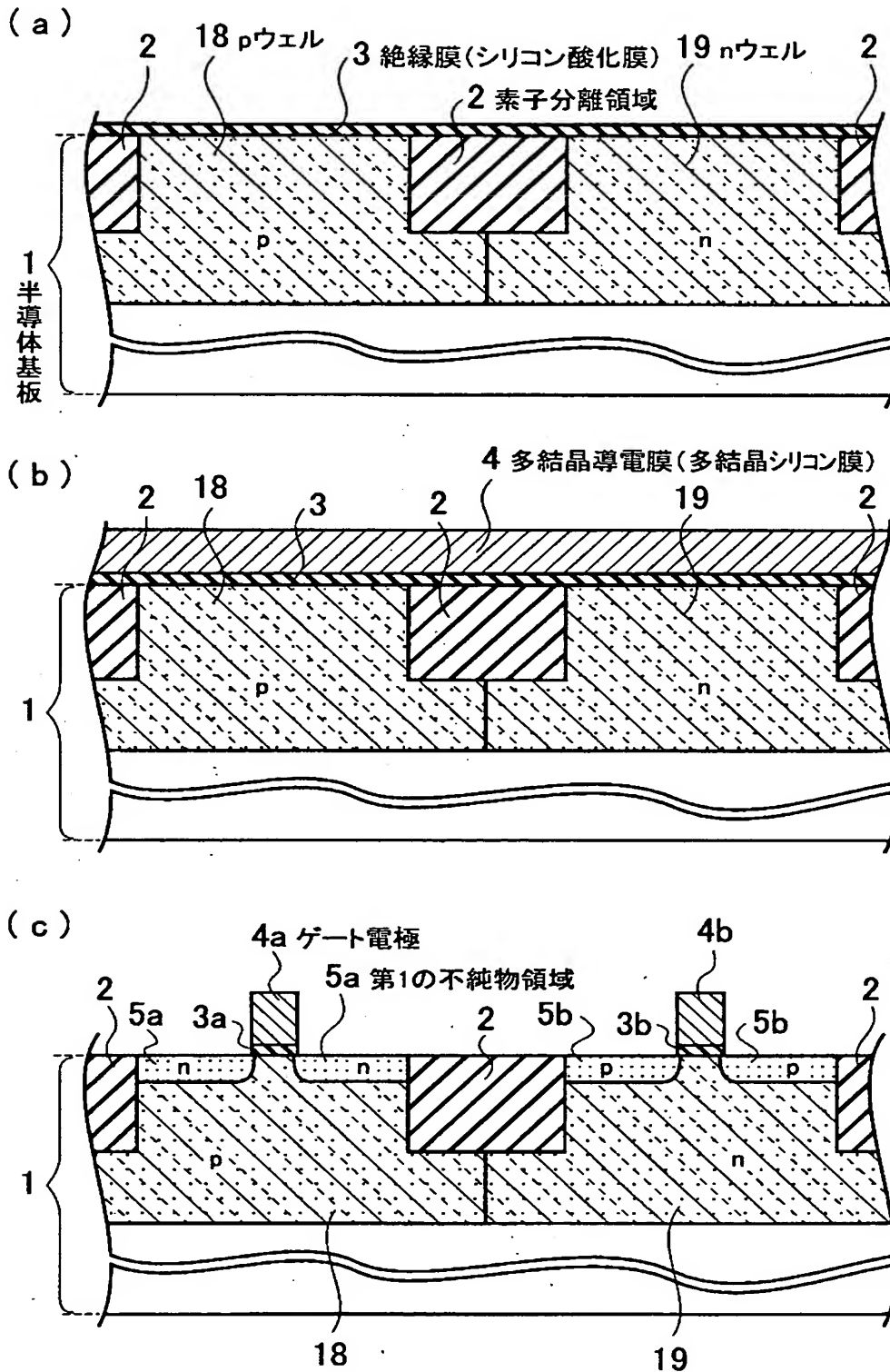
- 1 …半導体基板
- 2 …素子分離領域
- 3 …シリコン酸化膜
- 3 a、3 b …ゲート絶縁膜
- 4 …多結晶シリコン膜
- 4 a、4 b …ゲート電極
- 5 a、5 b …第 1 の不純物領域
- 6 a、6 b …エクステンション領域
- 7 a、7 b …シリコン窒化膜
- 8 a、8 b …シリコン酸化膜
- 9 a、9 b …第 2 の不純物領域
- 1 0 a、1 0 b …ソース／ドレイン領域
- 1 5 a、1 5 b、2 0 …レジストパターン
- 1 7 a、1 7 b …側壁スペーサ
- 1 8 …p ウェル
- 1 9 …n ウェル
- 2 1 a、2 1 b …絶縁ゲート部
- 3 1 …第 1 の境界線
- 3 2 …第 2 の境界線

【書類名】 図面

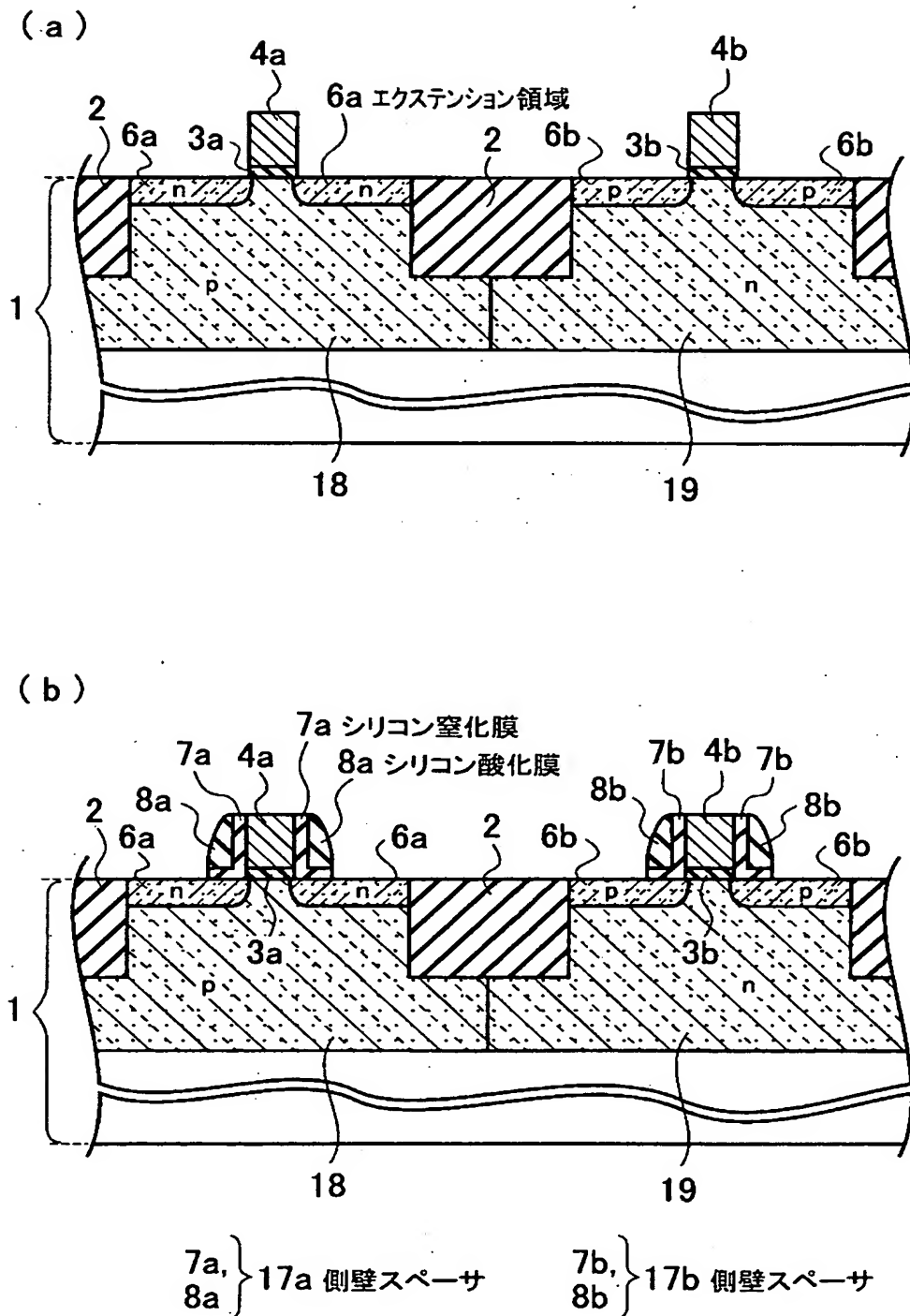
【図 1】



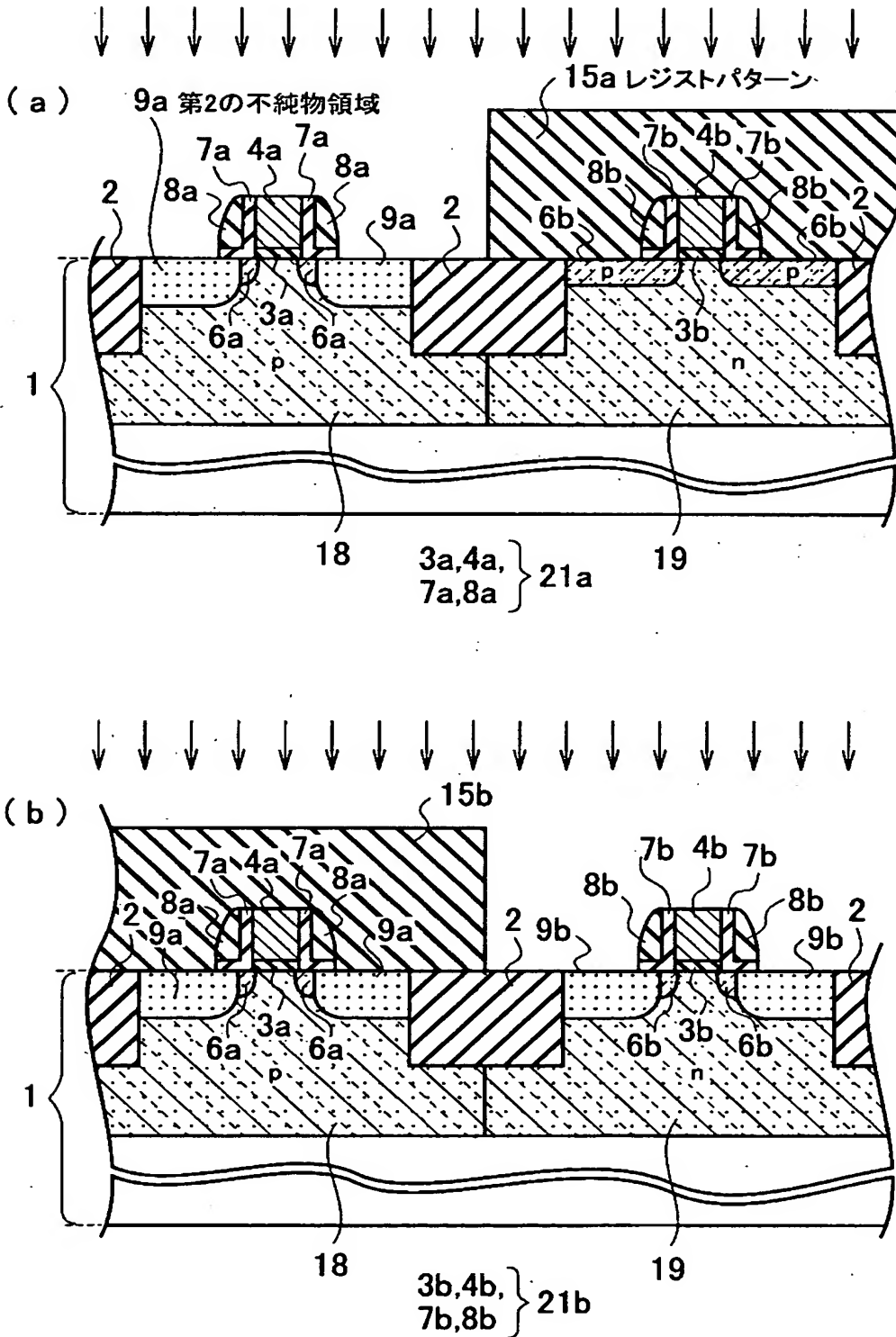
【図 2】



【図 3】

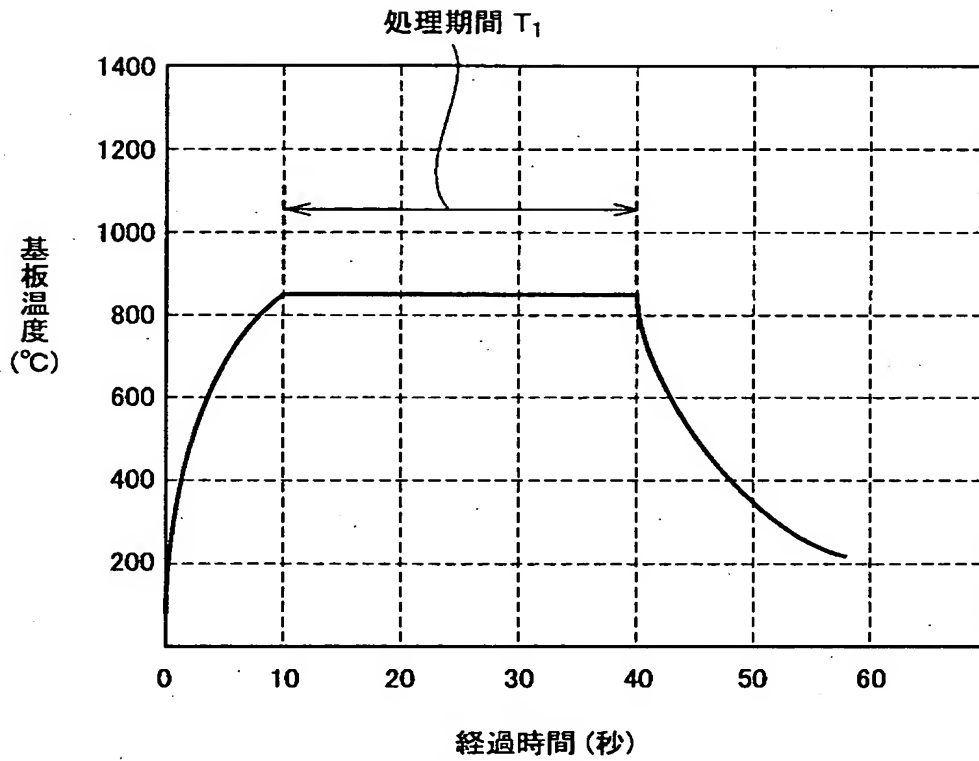


【図4】

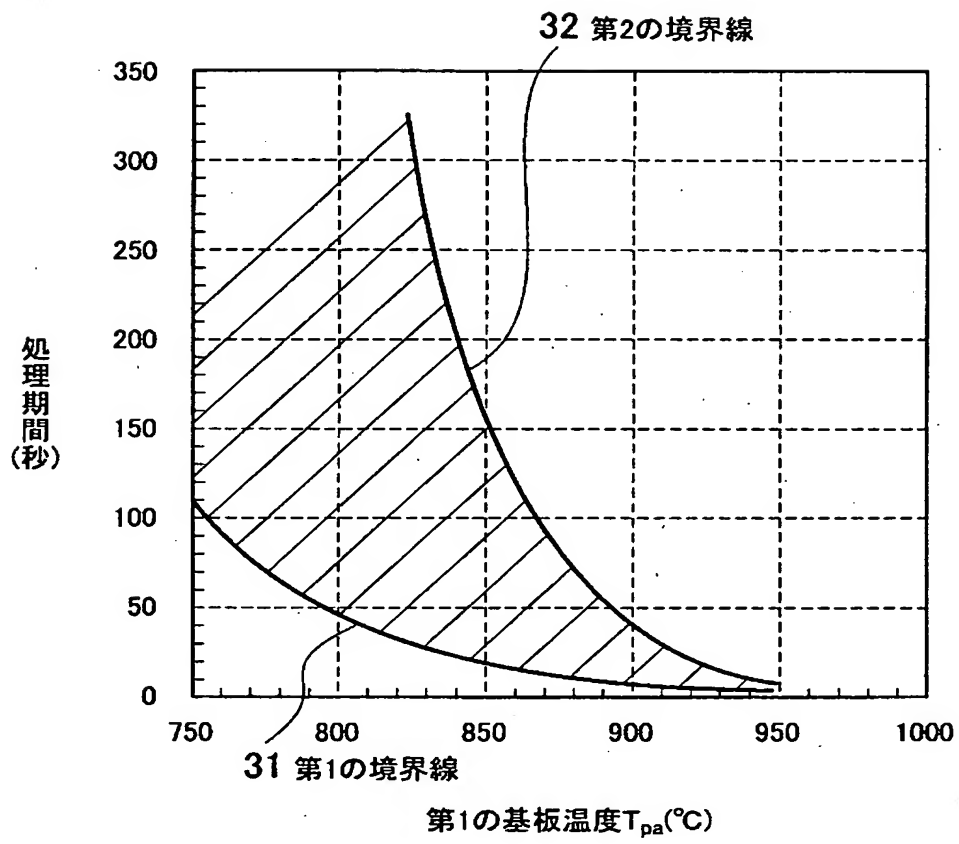




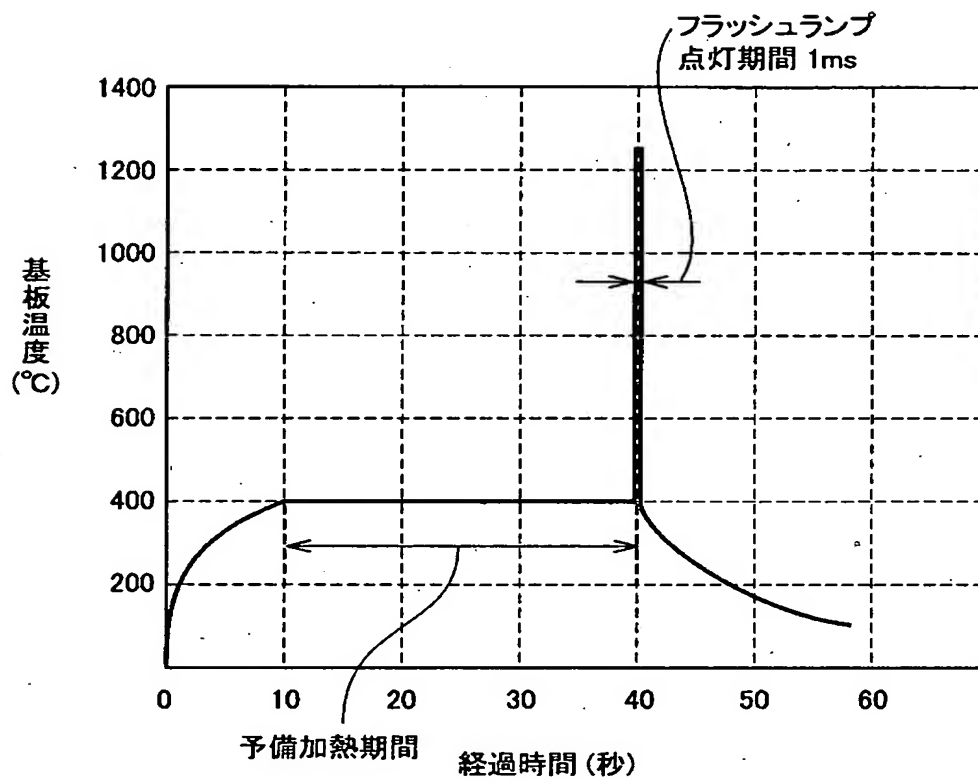
【図 5】



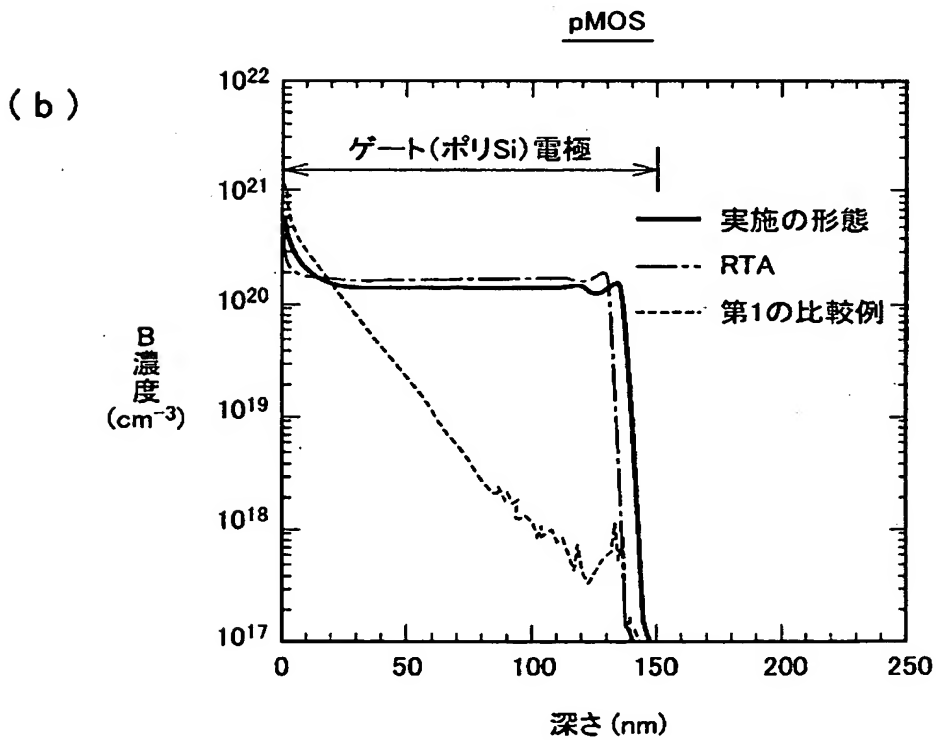
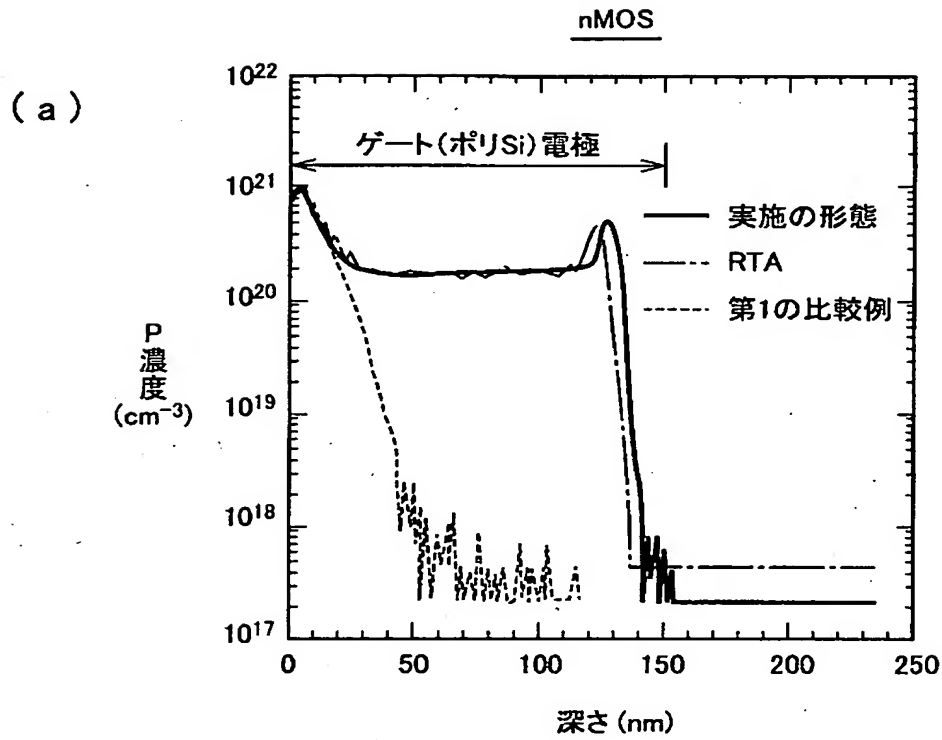
【図6】



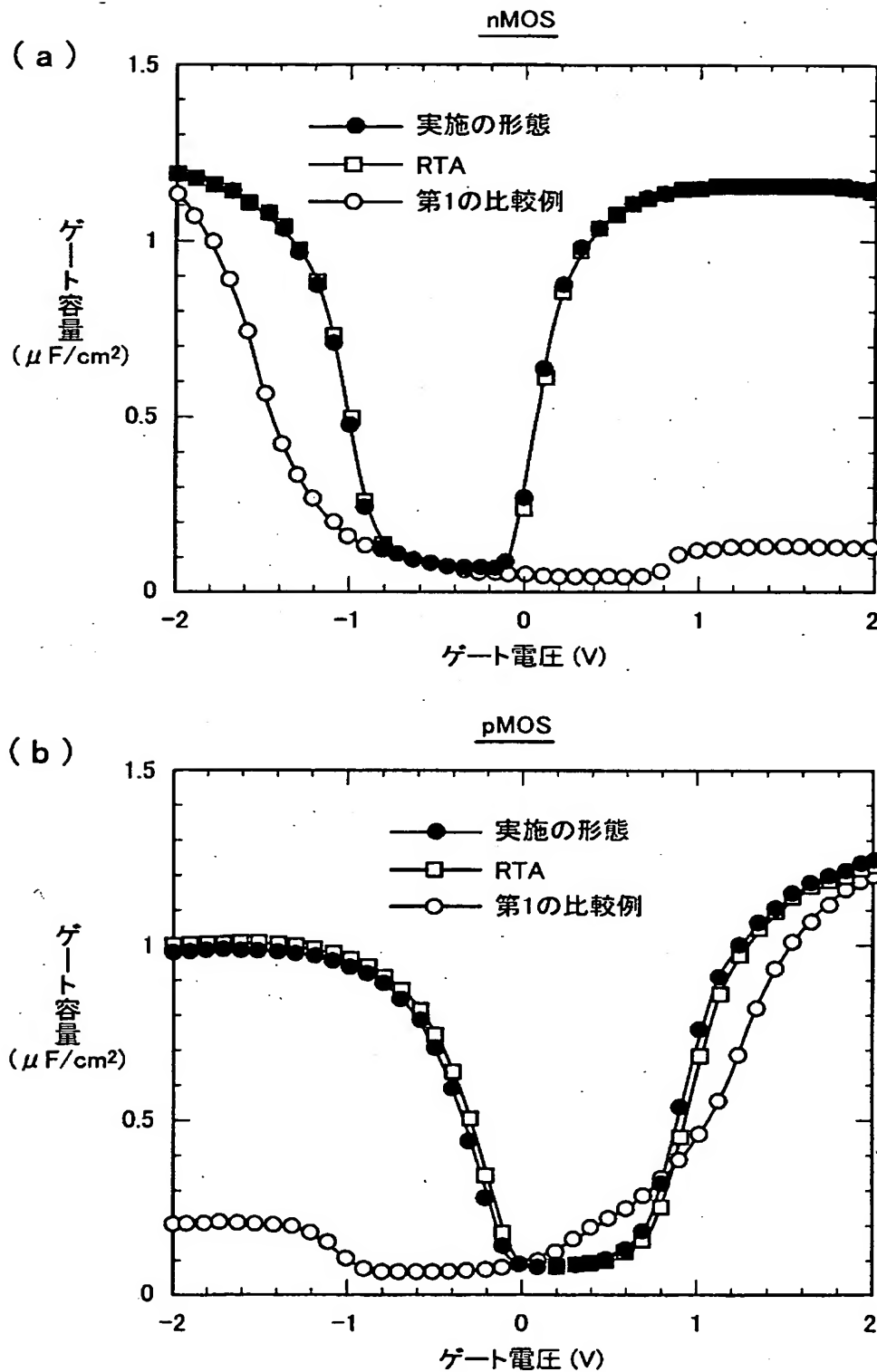
【図 7】



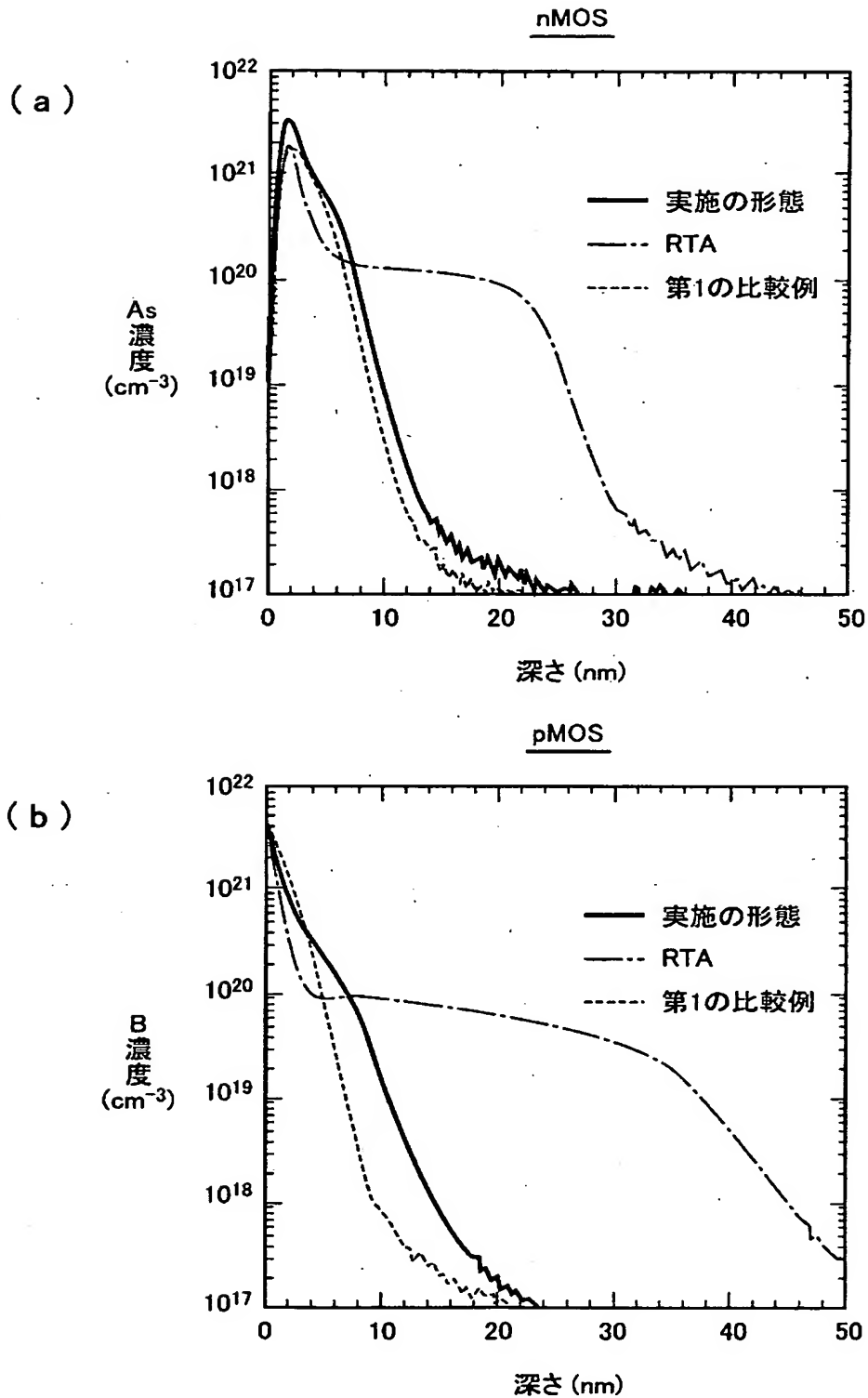
【図 8】



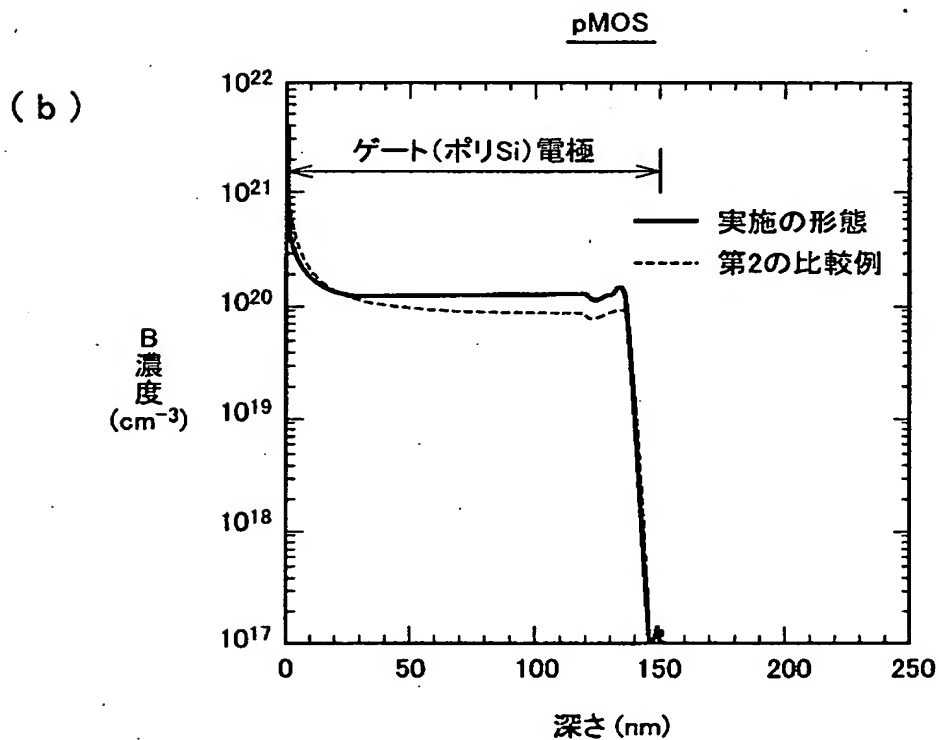
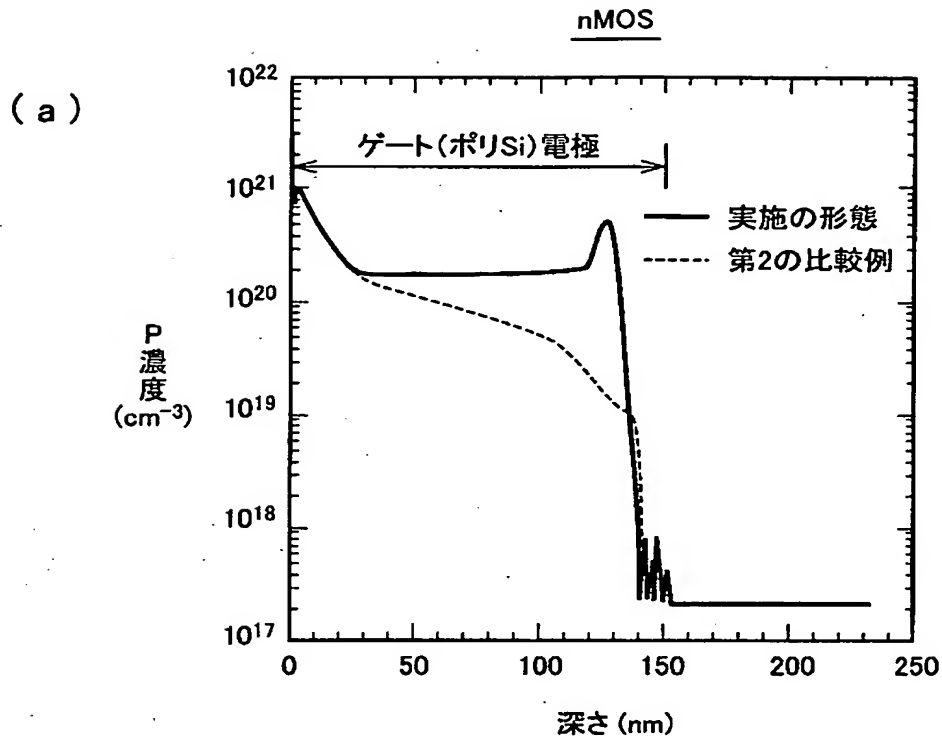
【図9】



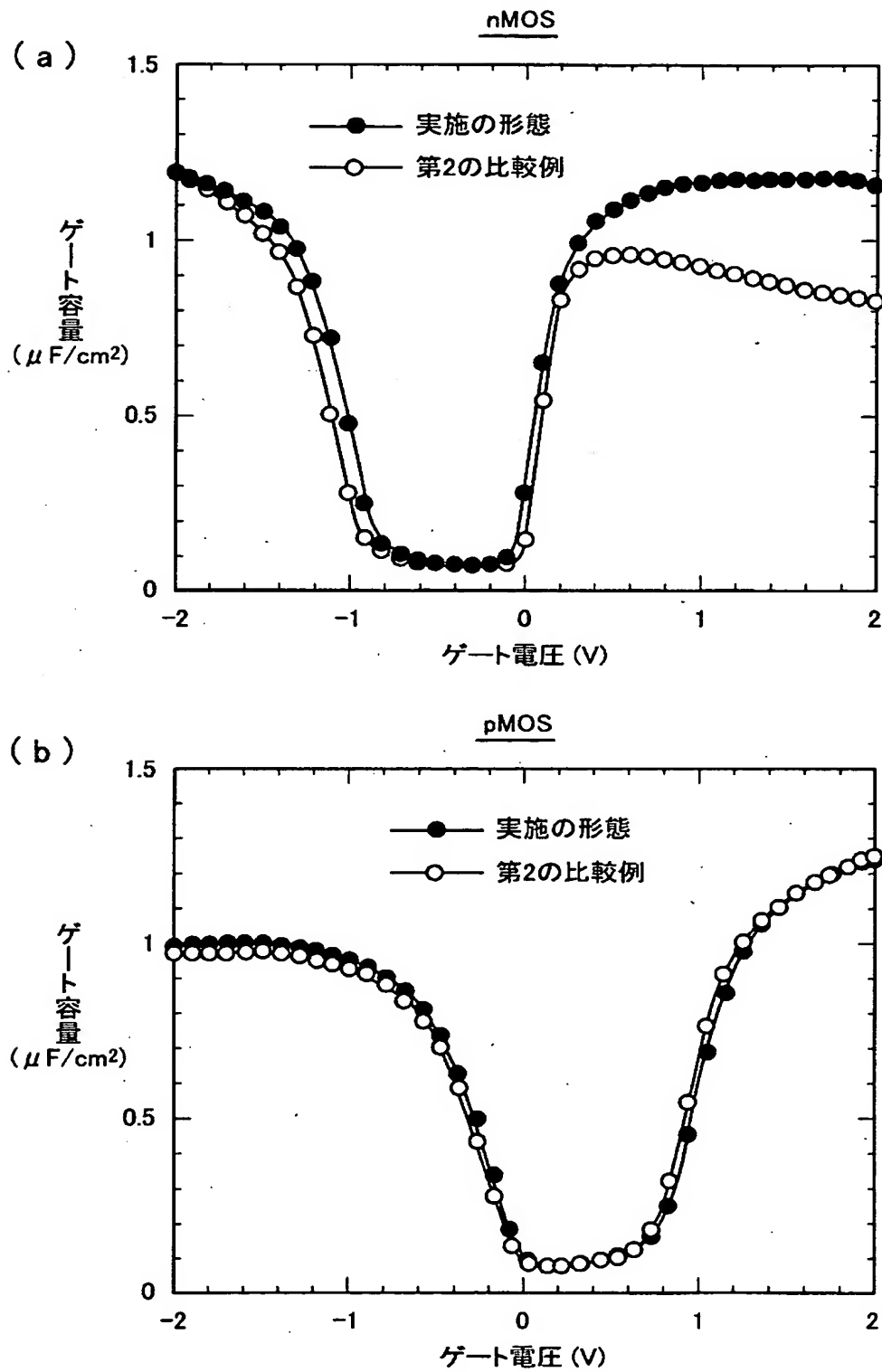
【図10】



【図 11】

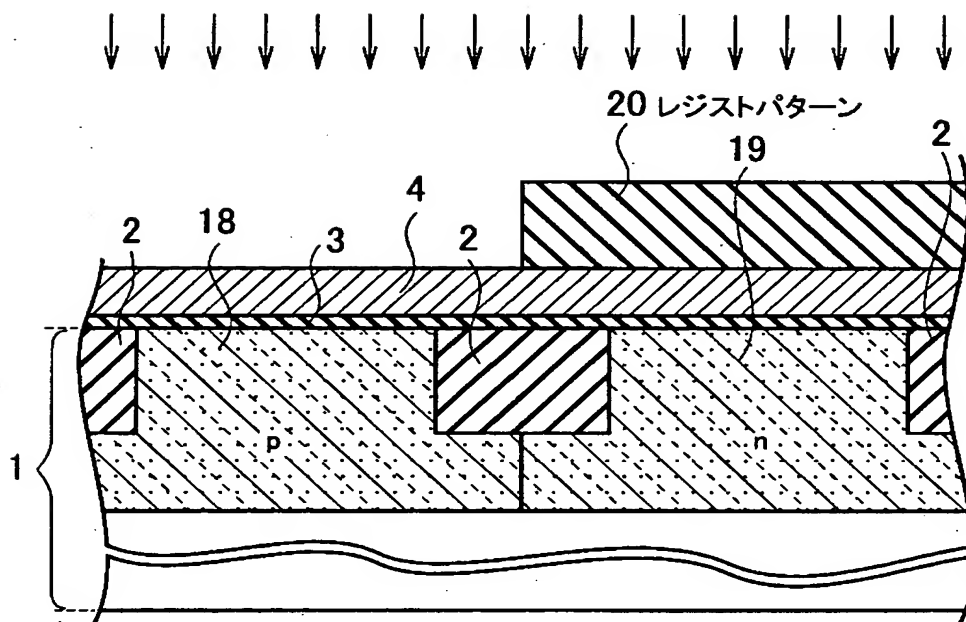


【図12】





【図 13】



【書類名】 要約書

【要約】

【課題】 低抵抗且つ浅い不純物拡散領域を有し、良好な駆動力を備えた半導体装置の製造方法を提供する。

【解決手段】 単結晶の半導体基板の上に、ゲート絶縁膜及びn型不純物が添加されたゲート電極を少なくとも含む絶縁ゲート部を形成し、絶縁ゲート部に隣接する半導体基板の表面層及びゲート電極に不純物イオンを選択的に注入し、ゲート電極に注入された不純物イオンを拡散させるとともに半導体基板の表面層に注入された不純物イオンの拡散を抑制する第1の基板温度で第1の熱処理を施し、その後、半導体基板の表面層に注入された不純物イオンを活性化する、第1の基板温度よりも高い第2の基板温度で、第1の熱処理よりも短い処理期間の熱処理を施す。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝